

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005年10月13日 (13.10.2005)

PCT

(10) 国際公開番号
WO 2005/096169 A1

(51) 国際特許分類7: G06F 15/78

(21) 国際出願番号: PCT/JP2005/006537

(22) 国際出願日: 2005年3月28日 (28.03.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-108832 2004年4月1日 (01.04.2004) JP

(71) 出願人(米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真1006 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 星野 将史 (HOSHINO, Masashi) [JP/JP]. 東島 勝義 (TOJIMA, Masayoshi) [JP/JP]. 西田 要一 (NISHIDA, Youichi) [JP/JP].

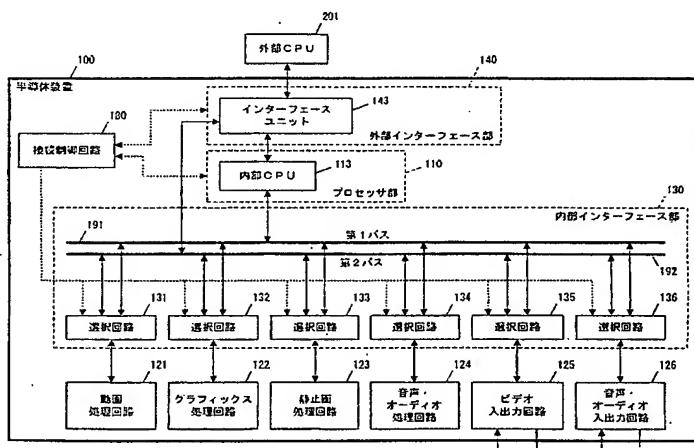
(74) 代理人: 平野 一幸 (HIRANO, Kazuyuki); 〒8100001 福岡県福岡市中央区天神四丁目1-23-203 平野特許事務所 Fukuoka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND CELLULAR PHONE USING THE SAME

(54) 発明の名称: 半導体装置及びそれを用いた携帯電話



201. EXTERNAL CPU
100. SEMICONDUCTOR DEVICE
140. EXTERNAL INTERFACE PART
143. INTERFACE UNIT
180. CONNECTION CONTROL CIRCUIT
113. INTERNAL CPU
110. PROCESSOR PART
130. INTERNAL INTERFACE PART
191. FIRST BUS
192. SECOND BUS
131. SELECTION CIRCUIT
132. SELECTION CIRCUIT

133. SELECTION CIRCUIT
134. SELECTION CIRCUIT
135. SELECTION CIRCUIT
136. SELECTION CIRCUIT
121. MOVING IMAGE PROCESSING CIRCUIT
122. GRAPHIC PROCESSING CIRCUIT
123. STILL IMAGE PROCESSING CIRCUIT
124. AUDIO PROCESSING CIRCUIT
125. VIDEO INPUT/OUTPUT CIRCUIT
126. AUDIO INPUT/OUTPUT CIRCUIT

(57) Abstract: A semiconductor device (100) is provided with a processor part (110) having an internal CPU (113), an internal interface part (130), an external interface part (140) for connecting with an external CPU (201) through an interface unit (143), a plurality of processing circuits (121-126) and a connection control circuit (180). The internal interface part (130) is provided with a first bus (191) connected with the internal CPU (113), a second bus (192) connected with the external CPU (201) through the interface unit (143), and selection circuits (131-136) which select each connection of the plurality of circuits (121-126) with the first bus

[続葉有]

WO 2005/096169 A1

ATTACHMENT A



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VC, VN, YU, ZA, ZM, ZW, ARIPO 特許 (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG) の指定のための出願し及び特許を与える出願人の資格に関する申立て(規則4.17(ii))

規則4.17に規定する申立て:

— AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY.

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドノート」を参照。

(191) or the second bus (192). Selection by the selection circuits (131-136) is controlled by the connection control circuit (180), following a command from the internal CPU (113) or the external CPU (201). Each of the processing circuits (121-126) can be controlled by the internal CPU (113) or the external CPU (201).

(57) 要約: 半導体装置(100)は、内部CPU(113)を有するプロセッサ部(110)、内部インターフェース部(130)、インターフェースユニット(143)を介して外部CPU(201)を接続する外部インターフェース部(140)、複数の処理回路(121)～(126)及び接続制御回路(180)を備える。内部インターフェース部(130)は、内部CPU(113)に接続する第1バス(191)と、インターフェースユニット(143)を介して外部CPU(201)に接続する第2バス(192)と、第1バス(191)または第2バス(192)への複数の処理回路(121)～(126)の各々の接続を選択する選択回路(131)～(136)を有する。選択回路(131)～(136)の選択は、内部CPU(113)または外部CPU(201)の命令に従って、接続制御回路(180)が制御する。処理回路(121)～(126)の各々は、内部CPU(113)または外部CPU(201)によって制御できる。